

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-278937

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H02M 3/07

(21)Application number : 11-077205

(71)Applicant : HITACHI LTD  
HITACHI ENG CO LTD

(22)Date of filing : 23.03.1999

(72)Inventor : KOIKE KATSUNORI  
SUGAI MASARU

(54) BOOSTER CIRCUIT AND POWER SUPPLY CIRCUIT FOR LIQUID CRYSTAL DISPLAY EMPLOYING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption by switching the boost clock being taken out by a selector and varying the frequency of the boost clock so that the boost voltage is made variable or sustained constantly thereby suppressing undue boost operation through a relatively simple circuit.

SOLUTION: The booster circuit comprises a combination of a charge pump type booster circuit 1 and a selector 2, a clock frequency division circuit 3 producing a plurality of clocks by dividing the frequency of an inputted clock CK, and a capacitor 5 for stabilizing boost voltage. A clock CK generated from the clock frequency division circuit 3 is received by the selector 2 and one clock is selected by select signals SEL0-3 as the boost clock for the charge pump type booster circuit 1. More specifically, in the combination of the charge pump type booster circuit 1 and a variable boost clock, interval of boost operation is adjusted by varying the clock frequency and the boost voltage being applied to a load circuit 6 is varied.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The booster circuit characterized by having the frequency divider which carries out dividing of the frequency of the inputted clock, the selector which picks out a pressure-up clock from two or more clocks which carried out dividing, the booster circuit section which inputs said pressure-up clock and supplies a pressure-up electrical potential difference to a load, and the capacitor for stabilization of a pressure-up electrical potential difference connected to the output of said booster circuit section.

[Claim 2] The booster circuit characterized by having the selector which picks out a pressure-up clock from two or more inputted clocks, the booster circuit section which inputs said pressure-up clock and supplies a pressure-up electrical potential difference to a load, and the capacitor for stabilization of a pressure-up electrical potential difference connected to the output of said booster circuit section.

[Claim 3] The booster circuit characterized by making adjustable said pressure-up electrical potential difference by changing said pressure-up clock which said selector takes out in claims 1 or 2.

[Claim 4] The booster circuit characterized by maintaining said pressure-up electrical potential difference uniformly by changing said pressure-up clock which said selector takes out in claims 1 or 2.

[Claim 5] The booster circuit characterized by having the pressure-up electrical-potential-difference detector which detects said pressure-up electrical potential difference further, and the controller circuit which outputs the select signal which orders it said pressure-up clock to choose to said selector according to the output signal of said pressure-up electrical-potential-difference detector in claims 1 or 2.

[Claim 6] The selector which is equipped with the frequency divider which carries out dividing of the frequency of the inputted clock, and picks out a pressure-up clock from two or more clocks which carried out dividing according to a select signal, The booster circuit which inputs said pressure-up clock and supplies a pressure-up electrical potential difference to a liquid crystal display drive circuit, The booster circuit system which \*\*\*\* Two or more preparations and the pressure-up electrical-potential-difference detector which detects each pressure-up electrical potential difference of said booster circuit system further, The power source for liquid crystal displays characterized by having the liquid crystal display controller which outputs said select signal according to the output signal of said pressure-up electrical-potential-difference detector.

[Claim 7] The booster circuit characterized by said booster circuit being a charge pump method booster circuit in claim 1 thru/or any 1 term of 5.

[Claim 8] The power circuit for liquid crystal displays characterized by said booster circuit being a charge pump method booster circuit in claim 6.

---

[Translation done.]

---

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In the semiconductor integrated circuit which is using the pressure-up electrical potential difference, this invention relates to an effective technique, when making a pressure-up electrical potential difference adjustable.

[0002]

[Description of the Prior Art] In the booster circuit aiming at keeping a pressure-up electrical potential difference constant as compared with reference voltage, a pressure-up electrical potential difference can be made adjustable by changing reference voltage.

[0003] The booster circuit which becomes drawing 9 from a charge pump method booster circuit, and an electrical-potential-difference stabilization circuit is shown. For the actuation when assuming that there is no load current in the charge pump method booster circuit of drawing 9, the pressure-up clock CK is Low. When it is level, the output of an inverter INV1 is set to High level. N1 turns on in P1 and N1 which are considering it as the gate input, P1 turns off, and the gate of P3 is Low. It will be set to level, P3 will be in an ON state, and it is node1. It is set to Vcc level. On the other hand, the output of the inverter INV2 which has undergone the output of an inverter INV1 is Low. It is set to level, the potential difference between Vcc and touch-down arises to a capacitor C1 after all, and the charge of Vcc level is charged.

[0004] Next, if the pressure-up clock CK changes to High level, the gate of N2 and P2 also serves as High level, N2 turns on, P2 turns off, and the gate of P4 is Low. It will be set to level, P4 will be in an ON state, and it is node2. It is set to Vcc level. On the other hand, the output of an inverter INV3 is Low. It is set to level and the charge of Vcc level is charged by the capacitor C2. At this time, the output of an inverter INV1 is Low. It is set to level, and P1 turns on, P3 is set to High level and the gate is turned off. Since there is no byroad and the charge of Vcc level is held, the charge which the output of an inverter INV2 was set to High level, and was furthermore charged by the capacitor C1 is node1. It is raised by one twice the electrical potential difference of Vcc.

[0005] node2 which serves as a gate input of P5 at this time node1 which serves as a source input of P5 since it is Vcc level Compared with potential (twice of Vcc), it becomes low, and P5 will be in an ON state and a current flows from node1 to HVcc. Moreover, since the potential of node1 used as a gate input became higher than node2 and HVcc, P6 would be in the OFF state, and it has protected flowing backwards to node2 from HVcc. Henceforth, according to change of a pressure-up clock, it is repeated similarly, and one twice the electrical potential difference of Vcc always comes to be outputted to HVcc. The detail of this circuit is indicated by JP,8-149801,A.

[0006] The output HVcc of a booster circuit is connected to the power supply terminal of an operational amplifier (operational amplifier), and reference voltage VREF has become the forward input of this operational amplifier. Moreover, the output terminal is grounded through the series connection of resistance R1 and R2. Furthermore, the negative input of an operational amplifier is connected at the node of resistance R1 and R2. Since, as for the plus input terminal of an operational amplifier, reference voltage VREF is impressed and the negative input terminal is connected at the node of resistance R1

and R2, the potential of the node serves as VREF. Output voltage Vout It can be made a fixed electrical potential difference with reference voltage by carrying out series connection of the resistance R1 and R2. Therefore, a pressure-up electrical potential difference can be made adjustable by changing reference voltage. This circuit is indicated in the "power circuit" of "everything about TOKYO ELECTRIC university press analog ICs."

[0007]

[Problem(s) to be Solved by the Invention] Although it becomes possible by making reference voltage adjustable in order to make adjustable the pressure-up electrical potential difference HVcc by the conventional method, the circuit for making reference voltage adjustable is needed for it, and a configuration becomes complicated. Moreover, an electrical-potential-difference stabilization circuit needs to prepare the direct-current pass to the touch-down from a pressure-up electrical potential difference through resistance R1 and R2, and causes the increment in the consumed electric current by the penetration current. Furthermore, in order to keep HVcc constant regardless of the load current, superfluous pressure-up actuation is performed, and these also cause [ of the consumed electric current ] an increment.

[0008] This invention can make a pressure-up electrical potential difference adjustable using balance with the load current, and offers the pressure-up method which can reduce power consumption.

[0009]

[Means for Solving the Problem] The booster circuit by this invention is equipped with the frequency divider which carries out dividing of the frequency of the inputted clock, the selector which picks out a pressure-up clock from two or more clocks which carried out dividing, the booster circuit section which inputs the taken-out pressure-up clock and supplies a pressure-up electrical potential difference to a load, and the capacitor for stabilization of a pressure-up electrical potential difference connected to the output of the booster circuit section. In addition, two or more clocks with which the frequencies generated in other circuits, such as a microcomputer, differ may be made to input into a selector instead of having a frequency divider.

[0010] By changing the pressure-up clock which a selector takes out and changing the frequency of a pressure-up clock, the booster circuit by above-mentioned this invention can make a pressure-up electrical potential difference adjustable, or can maintain it uniformly. Therefore, superfluous pressure-up actuation is controlled and the booster circuit which can be reduced can be realized for the consumed electric current in the comparatively easy circuit which does not need an electrical-potential-difference stabilization circuit etc.

[0011] Furthermore, it is desirable to have the pressure-up electrical-potential-difference detector which detects a pressure-up electrical potential difference, and the controller circuit which outputs the select signal which orders it the pressure-up clock to choose to a selector according to the output signal of a pressure-up electrical-potential-difference detector. Such a configuration, also when fluctuation of the load current is big, a pressure-up electrical potential difference can be stabilized by the comparatively easy circuit. Therefore, the booster circuit by this invention is suitable for the following power circuits for liquid crystal displays etc.

[0012] The power circuit for liquid crystal displays by this invention inputs a pressure-up clock as the selector which picks out a pressure-up clock from two or more clocks which carried out dividing according to a select signal, and is equipped with two or more booster circuit systems which have the booster circuit which supplies a pressure-up electrical potential difference to a liquid crystal display drive circuit while it is equipped with the frequency divider which carries out dividing of the frequency of the inputted clock. Furthermore, the power circuit for these liquid crystal displays is equipped with the pressure-up electrical-potential-difference detector which detects each pressure-up electrical potential difference of a booster circuit system, and the liquid crystal display controller which outputs a select signal according to the output signal of a pressure-up electrical-potential-difference detector. The power circuit for liquid crystal displays by this invention can supply the pressure-up electrical potential

difference stabilized by the comparatively easy circuit to the liquid crystal display drive circuit where the load current is changed comparatively sharply..

[0013] Although various kinds of circuits which can change output voltage with a clock frequency are applicable as a booster circuit mentioned above, a charge pump method booster circuit is applied preferably. The circuit actuation in this case is described in detail a little.

[0014] In the charge pump method booster circuit system constituted with the combination of a charge pump method booster circuit, a pressure-up clock, and a pressure-up electrical-potential-difference stabilization capacitor (following HVcc capacitor), it realized by making the frequency of a pressure-up clock adjustable. The booster circuit of a charge pump method supplies a current to a HVcc capacitor by performing pressure-up actuation at the time of change of a pressure-up clock, and a charge is stored. While a clock does not change, the charge with which the load circuit was stored in the HVcc capacitor is consumed as a current. Supposing the current supplied by clock change at equal intervals in the booster circuit of a certain configuration is fixed and the load current at that time is also fixed on the average, spacing from which a pressure-up clock changes will determine a pressure-up electrical potential difference. Therefore, if the supply current which a booster circuit supplies exceeds the current which a load circuit consumes and supply current will be [ a pressure-up electrical potential difference will rise and ] less than the consumed electric current, a pressure-up electrical potential difference will descend. In other words, for make the frequency of a pressure-up clock quick for making a pressure-up electrical potential difference high, and making a pressure-up electrical potential difference low, what is necessary will be just to make the frequency of a pressure-up clock late. Moreover, what is necessary is just to choose the pressure-up clock of the frequency which can maintain the target pressure-up electrical potential difference that what is necessary is just to make the load current and supply current equal for keeping a pressure-up electrical potential difference constant.

[0015] However, actually, even when the load current is fixed, a difference produces it momentarily on the average. Moreover, since supply current also flows when a clock changes, a pressure-up electrical potential difference will repeat a rise and descent gradually, and it lacks it at the stability as a power source. Then, by attaching the sufficiently big capacitor C3 for stabilization to the output of a pressure-up electrical potential difference, it becomes the saucer of the load current and supply current, and C3 can suppress change of a pressure-up electrical potential difference to min, and becomes possible [ it being stabilized and obtaining a pressure-up electrical potential difference ].

[0016] Moreover, when the load current is not fixed, a detector is established in HVcc, a pressure-up electrical potential difference is detected, and it can respond by preparing the control circuit which controls a pressure-up clock in response to the output.

[0017]

[Embodiment of the Invention] (Example 1) Drawing 1 is one example of the booster circuit by this invention. It is the example which consisted of combination of the clock frequency divider 3 which carries out dividing of the clock CK inputted as the charge pump method booster circuit 1 and the selector 2, and outputs two or more clocks, and the pressure-up electrical-potential-difference stabilization capacitor 5, chose one with select signals 0-SEL 3 in response to the clock generated in the clock frequency divider by the selector, and was used as the pressure-up clock of a charge pump method booster circuit. That is, in the combination of a charge pump method booster circuit and an adjustable pressure-up clock, spacing of pressure-up actuation tends to be adjusted by changing a clock frequency, and it is going to make adjustable the pressure-up electrical potential difference impressed to a load circuit 6.

[0018] Since the charge pump method booster circuit 1 in drawing 1 uses the charge pump method shown with the conventional technique, explanation of the detailed actuation is omitted.

[0019] The example of the clock frequency divider of drawing 1 is shown in drawing 2. This clock frequency divider is flip-flop F.F. It constitutes, data are outputted in response to the rising edge of a clock, and one half of the clocks of a frequency of the clock inputted with one step of flip-flop can be

taken out. It is the example which becomes possible [ making  $1/2$ ,  $1/4$ ,  $1/8$ , clock  $1 / 2CK$  of one  $1/16$  time the frequency of this,  $1/4CK$ ,  $1/8CK$ , and  $1/16CK$  ] by putting several steps of this flip-flop in a row, and carrying out the output of the preceding paragraph to a latter input:

[0020] The example of a circuit of the selector of drawing 1 is shown in drawing 3 . This selector connects the whole of that output in response to the input of four to CK0-CK3 by transfer 30-MOSs 33. Select signals SEL0-SEL3 are signals which transfer 31-MOSs 34 turns on on High level, and are not set to High level at 2 coincidence. Therefore, one clock is chosen from two or more clocks with which a frequency is different with a select signal, and the example which can make adjustable the frequency of the clock supplied to a booster circuit is shown.

[0021] Here, the flow of the current between the booster circuit of this example, a HVcc capacitor, and a load circuit is explained using drawing 4 . Drawing 4 is drawing which simplified the charge pump method booster circuit of drawing 1 , and it means that switch:SW1-SW4 change by change of a clock. For example, when a pressure-up clock is High level, each switch is Low to the A side. It changes to the B side at the time of level. Capacitor: C1 and C2 have a small capacity enough compared with the HVcc capacitor C3. Moreover, load current I-out which flows to a load circuit presupposes that it is fixed. First, at the time of each switch B side, the potential difference during Vcc-touch-down produces C1 to both ends, and the potential of Vcc level is charged. Next, if a switch replaces the A side, the pass of Vcc-C1-C3-touch-down will be made, and since C3 is larger than C1 enough, the charge of C1 is moved to C3. This actuation is repeated and current I-in is supplied by turns from C1 and C2. The amount of the current to which one clock change is supplied at this time was decided by the magnitude of C1 and C2, and it will depend for the current within fixed time amount on the count of change of a clock, i.e., a frequency.

[0022] Drawing 5 shows the frequency of a pressure-up clock, and the relation of a pressure-up electrical potential difference. First, a period 1 is load current I-out. In the case where supply current I-in of a booster circuit is equal, a pressure-up electrical potential difference is in the condition currently kept constant. This time is made into equilibrium. Next, since the period 2 is performing the pressure up with the clock of a frequency later than the clock frequency of equilibrium, the count which supplies a current decreases and a pressure-up electrical potential difference will be in a downward condition. Furthermore, the period 4 is performing the pressure up on the frequency quicker than the clock frequency of equilibrium, and since the count which supplies a current increases, a pressure-up electrical potential difference rises. And if the target electrical potential difference is reached, a fixed pressure-up electrical potential difference is maintainable again by returning to the clock frequency which can maintain equilibrium like a period 3 or a period 5.

[0023] (Example 2) Drawing 6 is the 2nd example of this invention. It consists of combination of the selector 2 of an example 1 as well as the charge pump method booster circuit 1 of an example 1. In response to two or more clocks with which a frequency is different, one clock is chosen with a select signal by the selector, and the frequency of the clock supplied to a booster circuit is made adjustable. The microcomputer which contains the frequency divider independently should just receive the signal after dividing directly.

[0024] (Example 3) Drawing 7 is the 3rd example of this invention. It consists of combination of the charge pump method booster circuit 1 of an example 1 and a selector 2, the clock frequency divider 3, the detector 7 that detects a HVcc electrical potential difference, and the control circuit 8 which controls selection of a clock frequency in response to the signal from the detector.

[0025] The detector prepares two or more reference voltages according to the precision of HVcc, compares the selected reference voltage and selected HVcc, and sends a signal size-related [ the ] to a control circuit. In response to the fact that a size-related signal, for example, if a control circuit is small, it will take out a select signal which raises one rank of frequencies.

[0026] Or the HVcc detector 7 detects the pressure-up electrical potential difference HVcc, and outputs the signal according to the difference of the HVcc and reference voltage which were detected

to a control circuit 8 as compared with reference voltage. A controller circuit outputs the command for choosing the clock frequency according to the magnitude of the difference of the HVcc and reference voltage which were detected based on this signal, i.e., a select signal, to a selector 2.

[0027] In addition, HVcc detector 7 self has two or more reference voltages of HVcc, according to a demand, a mode of operation, etc. of systems, such as a microcomputer, it is chosen from two or more reference voltages by the command of a control circuit 8, or a reference voltage level is given to the HVcc detector 7 from a control circuit 8 by it. In addition, a HVcc detector, the circuit for comparing, HVcc and reference voltage which were detected, or a means may be included in a control circuit 8.

[0028] According to this example, when the load current changes and it changes the pressure-up electrical potential difference HVcc by the comparatively easy circuit, HVcc can be stabilized to a desired value. Moreover, since a clock frequency can be chosen according to the difference of the HVcc and reference voltage which are detected, superfluous pressure-up actuation is controlled and the consumed electric current is reduced. Fluctuation of the load current is suitable for this example to a comparatively big system like the power circuit for liquid crystal displays (LCD power circuit) mentioned later.

[0029] In addition, the detector of this example is applicable also to the example of drawing 6. Moreover, as a modification of this example, it may change to a HVcc detector and a load current detector may be prepared. A load current detector detects the load current and outputs the signal according to the magnitude, or the signal according to the size of the load current and reference current which were detected, or the magnitude of a difference to a controller circuit. According to this signal, a controller circuit outputs the select signal for choosing a clock frequency to a selector.

[0030] (Example 4) Drawing 8 is the 4th example of this invention. The booster circuit system 10 which combined the charge pump method booster circuit 1 and selector 2 of an example 2 was set into 3 circuit \*\*\*\*\*, and each output was independently set to V3 from the LCD power source V1. Here, V1-V3 are supplied to the LCD drive circuit which is not illustrated. It is the example applied to the LCD power circuit which furthermore consists of combination of the clock frequency divider 3, the HVcc detector 7, and the LCD (liquid crystal display) controller circuit 9.

[0031] First, a LCD controller outputs the change signal of a LCD power source as a select signal of a pressure-up clock. It is the configuration of detecting the electrical potential difference of V3 from the output V1 in a detector, and returning a size-related signal to a LCD controller.

[0032]

[Effect of the Invention] In order to maintain a fixed pressure-up electrical potential difference by making equal the current which the load circuit which uses as a power source the current which a booster circuit supplies, and a pressure-up electrical potential difference consumes according to this invention, superfluous pressure-up actuation is not performed. Moreover, when the direct-current pass to the touch-down from a power source does not exist in a circuit, the consumed electric current of a booster circuit can be made into min. Moreover, since the frequency of a pressure-up clock is also pressed down to min, generating of an unnecessary switching noise can be reduced.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st example of this invention.

[Drawing 2] One example of the clock frequency divider of the 1st example of this invention is shown.

[Drawing 3] One example of the selector of the 1st example of this invention is shown.

[Drawing 4] They are the supply current of the 1st example of this invention, a stabilization capacitor, and drawing explaining the relation of the load current.

[Drawing 5] It is drawing having shown the pressure-up clock of the 1st example of this invention, and the relation of a pressure-up electrical potential difference.

[Drawing 6] It is the circuit diagram showing the 2nd example of this invention.

[Drawing 7] It is the circuit diagram showing the 3rd example of this invention.

[Drawing 8] It is the circuit diagram showing the 4th example of this invention.

[Drawing 9] It is the circuit diagram showing the conventional example of a charge pump method booster circuit.

### [Description of Notations]

1 — A charge pump method booster circuit, 2 — A selector, 3 — Clock frequency divider, 4 — A decoder, 5 — A pressure-up electrical-potential-difference stabilization capacitor, 6 — Load circuit equal circuit, 7 — A HVcc detector, 8 — A control circuit, 9 — LCD controller circuit, 10 [ — A pressure-up clock, C / — A capacitor, RL / — Resistance and F.F / — / — Supply current and I-out / — The load current, V1 and V2, V3:LCD power source. / A flip-flop, SW — A switch, I-in ] — A booster circuit system ( drawing 6 ), Vcc — Supply voltage, HVcc — A pressure-up power source, CK

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-278937

(P2000-278937A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 3/07

識別記号

F I

H 0 2 M 3/07

テーマコード(参考)

5 H 7 3 0

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平11-77205

(22) 出願日

平成11年3月23日 (1999.3.23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72) 発明者 小池 勝則

茨城県日立市幸町三丁目2番1号 日立エンジニアリング株式会社内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 昇圧回路及びそれを用いた液晶表示装置用電源回路

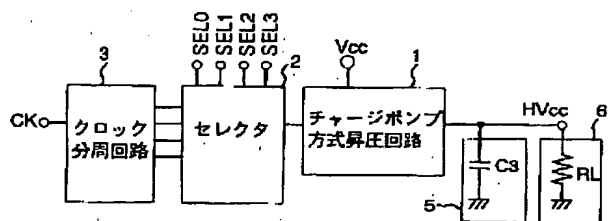
(57) 【要約】

【課題】 比較的簡単な回路により消費電流の少ない昇圧回路を実現する。

【解決手段】 入力したクロック (CK) の周波数を分周する分周回路 (3) と、分周した複数のクロックから昇圧クロックを取り出すセレクタ (2) と、昇圧クロックを入力し、負荷に昇圧電圧を供給する昇圧回路部 (1) と、昇圧回路部の出力に接続される昇圧電圧の安定化用コンデンサ (C3) と、を備える。

【効果】 クロック周波数の切り替えにより、過剰な昇圧動作をすることなく、昇圧電圧を安定化できる。

図 1



(2)

## 【特許請求の範囲】

【請求項1】 入力したクロックの周波数を分周する分周回路と、

分周した複数のクロックから昇圧クロックを取り出すセレクトと、

前記昇圧クロックを入力し、負荷に昇圧電圧を供給する昇圧回路部と、

前記昇圧回路部の出力に接続される昇圧電圧の安定化用コンデンサと、

を備えることを特徴とする昇圧回路。

【請求項2】 入力した複数のクロックから昇圧クロックを取り出すセレクトと、

前記昇圧クロックを入力し、負荷に昇圧電圧を供給する昇圧回路部と、

前記昇圧回路部の出力に接続される昇圧電圧の安定化用コンデンサと、

を備えることを特徴とする昇圧回路。

【請求項3】 請求項1または2において、前記セレクトが取り出す前記昇圧クロックを替えることにより前記昇圧電圧を可変にすることを特徴とする昇圧回路。

【請求項4】 請求項1または2において、前記セレクトが取り出す前記昇圧クロックを替えることにより前記昇圧電圧を一定に維持することを特徴とする昇圧回路。

【請求項5】 請求項1または2において、さらに前記昇圧電圧を検出する昇圧電圧検出回路と、前記昇圧電圧検出回路の出力信号に応じて前記セレクトへ、選択する前記昇圧クロックを指令するセレクト信号を出力するコントローラ回路と、を備えることを特徴とする昇圧回路。

【請求項6】 入力したクロックの周波数を分周する分周回路を備え、

分周した複数のクロックからセレクト信号に応じて昇圧クロックを取り出すセレクトと、前記昇圧クロックを入力し、液晶表示装置駆動回路に昇圧電圧を供給する昇圧回路と、を有する昇圧回路システムを複数備え、

さらに、

前記昇圧回路システムの各昇圧電圧を検出する昇圧電圧検出回路と、

前記昇圧電圧検出回路の出力信号に応じて前記セレクト信号を出力する液晶表示装置コントローラと、を備えることを特徴とする液晶表示装置用電源。

【請求項7】 請求項1乃至5のいずれか1項において、前記昇圧回路がチャージポンプ方式昇圧回路であることを特徴とする昇圧回路。

【請求項8】 請求項6において、前記昇圧回路がチャージポンプ方式昇圧回路であることを特徴とする液晶表示装置用電源回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、昇圧電圧を使用している半導体集積回路において、昇圧電圧を可変にする

2

場合に有効な技術に関する。

## 【0002】

【従来の技術】 基準電圧と比較して昇圧電圧を一定に保つことを目的とした昇圧回路においては、基準電圧を変えることにより昇圧電圧を可変にすることができる。

【0003】 図9にチャージポンプ方式昇圧回路と電圧安定化回路からなる昇圧回路を示す。図9のチャージポンプ方式昇圧回路において、負荷電流がないと仮定したときの動作は、昇圧クロックCKがLowレベルの場合、インバータINV1の出力はHighレベルになる。それをゲート入力としているP1およびN1においてN1がオンし、P1はオフして、P3のゲートはLowレベルとなり、P3がオン状態となってnode1はVccレベルになる。一方、インバータINV1の出力を受けているインバータINV2の出力はLowレベルとなって、結局コンデンサC1にはVccと接地間の電位差が生じてVccレベルの電荷がチャージされる。

【0004】 次に昇圧クロックCKがHighレベルに変化すると、N2、P2のゲートもHighレベルとなり、N2がオンし、P2がオフしてP4のゲートはLowレベルとなり、P4はオン状態となってnode2がVccレベルになる。一方、インバータINV3の出力はLowレベルとなって、コンデンサC2にもVccレベルの電荷がチャージされる。このときインバータINV1の出力はLowレベルとなり、P1がオンしてP3がゲートはHighレベルとなってオフ状態になる。さらにインバータINV2の出力はHighレベルとなりコンデンサC1にチャージされた電荷は抜け道がなくVccレベルの電荷が保持されているので、node1はVccの2倍の電圧に持ち上げられる。

【0005】 このときP5のゲート入力となるnode2はVccレベルなので、P5のソース入力となるnode1の電位(Vccの2倍)にくらべて低くなりP5はオン状態となってnode1からHVccに電流が流れる。また、P6はゲート入力となるnode1の電位がnode2およびHVccより高くなるのでオフ状態となり、HVccからnode2へ逆流することを防いでいる。以後、昇圧クロックの変化に応じて同様に繰り返されHVccには常にVccの2倍の電圧が出力されるようになる。この回路の詳細は特開平8-149801号公報に記載されている。

【0006】 昇圧回路の出力HVccは演算増幅器(オペアンプ)の電源端子に接続されており、基準電圧VREFがこの演算増幅器の正の入力になっている。また、出力端子は抵抗R1、R2の直列接続を介して接地されている。さらに演算増幅器の負の入力は抵抗R1、R2の接続点に接続されている。演算増幅器の正入力端子は基準電圧VREFが印加されていて、負入力端子は抵抗R1とR2の接続点に接続されているので、その接続点の電位はVREFとなる。出力電圧Voutは抵抗R1とR2が直列接続されていることにより基準電圧によって一定の電圧にすることができる。従って、基準電圧を変え

(3)

3

ることにより昇圧電圧を可変にすることができる。この回路については「東京電気大学出版局 アナログICのすべて」の「電源回路」に記載されている。

【0007】

【発明が解決しようとする課題】従来の方式にて昇圧電圧H<sub>Vcc</sub>を可変にするには、基準電圧を可変にすることにより可能となるが、それには基準電圧を可変にするための回路が必要となり、構成が複雑になる。また、電圧安定化回路は抵抗R<sub>1</sub>とR<sub>2</sub>を介して昇圧電圧から接地への直流パスを設ける必要もあり、貫通電流によって消費電流の増加を招く。さらに、負荷電流に関係なくH<sub>Vcc</sub>を一定に保つために過剰な昇圧動作が行われ、これらも消費電流の増加原因となる。

【0008】本発明は負荷電流とのバランスを利用して昇圧電圧を可変にすることができるもので、消費電力を低減できる昇圧方式を提供するものである。

【0009】

【課題を解決するための手段】本発明による昇圧回路は、入力したクロックの周波数を分周する分周回路と、分周した複数のクロックから昇圧クロックを取り出すセレクトと、取り出された昇圧クロックを入力し負荷に昇圧電圧を供給する昇圧回路部と、昇圧回路部の出力に接続される昇圧電圧の安定化用コンデンサと、を備える。なお、分周回路を備える代わりに、マイクロコンピュータ等の他の回路で生成する周波数の異なる複数のクロックをセレクトに入力させても良い。

【0010】上記本発明による昇圧回路は、セレクトが取り出す昇圧クロックを替えて、昇圧クロックの周波数を変えることにより、昇圧電圧を可変にしたり一定に維持したりすることができる。従って、電圧安定化回路などを必要としない比較的簡単な回路で、過剰な昇圧動作が抑制され消費電流を低減が可能な昇圧回路を実現できる。

【0011】さらに、昇圧電圧を検出する昇圧電圧検出回路と、昇圧電圧検出回路の出力信号に応じてセレクトへ、選択する昇圧クロックを指令するセレクト信号を出力するコントローラ回路と、を備えることが好ましい。このような構成により、負荷電流の変動が大きな場合にも、比較的簡単な回路により、昇圧電圧を安定化できる。従って、本発明による昇圧回路は、次のような液晶表示装置用電源回路などに好適である。

【0012】本発明による液晶表示装置用電源回路は、入力したクロックの周波数を分周する分周回路を備えるとともに、分周した複数のクロックからセレクト信号に応じて昇圧クロックを取り出すセレクトと、昇圧クロックを入力し、液晶表示装置駆動回路に昇圧電圧を供給する昇圧回路とを有する昇圧回路システムを複数備える。さらに、本液晶表示装置用電源回路は、昇圧回路システムの各昇圧電圧を検出する昇圧電圧検出回路と、昇圧電圧検出回路の出力信号に応じてセレクト信号を出力する

4

液晶表示装置コントローラと、を備える。本発明による液晶表示装置用電源回路は、負荷電流が比較的大きく変動する液晶表示装置駆動回路に、比較的簡単な回路により安定した昇圧電圧を供給できる。

【0013】上述した昇圧回路としては、クロック周波数によって出力電圧を変えることができる各種の回路を適用できるが、好ましくはチャージポンプ方式昇圧回路を適用する。この場合の回路動作を若干詳しく述べておく。

【0014】チャージポンプ方式昇圧回路と昇圧クロック及び昇圧電圧安定化コンデンサ（以下H<sub>Vcc</sub>コンデンサ）の組み合わせによって構成したチャージポンプ方式昇圧回路システムにおいて、昇圧クロックの周波数を可変にすることにより実現した。チャージポンプ方式の昇圧回路は、昇圧クロックの変化時に昇圧動作が行われ、H<sub>Vcc</sub>コンデンサに電流を供給して電荷が蓄えられる。クロックが変化しない間は負荷回路がH<sub>Vcc</sub>コンデンサに蓄えられた電荷を電流として消費する。ある構成の昇圧回路において等間隔のクロック変化で供給される電流は一定であり、そのときの負荷電流も平均的に一定であるとしたら、昇圧クロックの変化する間隔が昇圧電圧を決めることになる。よって、昇圧回路が供給する供給電流が、負荷回路が消費する電流を上回ると昇圧電圧は上昇し、供給電流が消費電流を下回れば昇圧電圧は降下する。言い換えれば、昇圧電圧を高くするには昇圧クロックの周波数を速くし、昇圧電圧を低くするには昇圧クロックの周波数を遅くすればよいことになる。また、昇圧電圧を一定に保つには負荷電流と供給電流を等しくすれば良く、目的の昇圧電圧を維持することのできる周波数の昇圧クロックを選択すればよい。

【0015】しかし現実的に、負荷電流は平均的には一定でも瞬間的には差が生じる。また、供給電流もクロックが変化する時に流れるため、昇圧電圧は小刻みに上昇と下降を繰り返すことになり電源としての安定性に欠ける。そこで昇圧電圧の出力に十分大きな安定化用コンデンサC<sub>3</sub>を付けることにより、C<sub>3</sub>が負荷電流と供給電流の受け皿となって昇圧電圧の変化を最小に抑えることができ、安定して昇圧電圧を得ることが可能となる。

【0016】また、負荷電流が一定でない場合はH<sub>Vcc</sub>に検出回路を設けて昇圧電圧を検出し、その出力を受けて昇圧クロックをコントロールするコントロール回路を設けることにより対応できる。

【0017】

【発明の実施の形態】（実施例1）図1は本発明による昇圧回路の一実施例である。チャージポンプ方式昇圧回路1及びセレクト2と、入力したクロックCKを分周して複数のクロックを出力するクロック分周回路3、及び昇圧電圧安定化コンデンサ5の組み合わせからなり、クロック分周回路で生成したクロックをセレクトで受けて、セレクト信号SEL0～3にて1本を選択しチャージポ

(4)

5

ンプ方式昇圧回路の昇圧クロックとした例である。つまり、チャージポンプ方式昇圧回路と可変昇圧クロックの組み合わせにおいて、クロック周波数を変えることで昇圧動作の間隔を調節し、負荷回路6に印加する昇圧電圧を可変にしようとするものである。

【0018】図1にあるチャージポンプ方式昇圧回路1は従来技術で示したチャージポンプ方式を用いているので、その詳細な動作の説明は省略する。

【0019】図2に図1のクロック分周回路の例を示す。このクロック分周回路はフリップフロップF.Fで構成し、クロックの立ち上がりエッジを受けてデータを出力するもので、フリップフロップ1段で入力したクロックの $1/2$ の周波数のクロックを取り出すことができる。このフリップフロップを数段連ねて、前段の出力を後段の入力にすることにより、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 倍の周波数のクロック $1/2\text{CK}$ 、 $1/4\text{CK}$ 、 $1/8\text{CK}$ 、 $1/16\text{CK}$ を作り出すことが可能となる例である。

【0020】図3に図1のセレクトの回路例を示す。このセレクトは $\text{CK}0 \sim \text{CK}3$ までの4本の入力をトランスファMOS30～33で受けてその出力をすべて接続したものである。セレクト信号 $\text{SEL}0 \sim \text{SEL}3$ はHighレベルでトランスファMOS31～34がオンする信号で、2本同時にHighレベルになることはないものとする。よって、周波数の違う複数のクロックからセレクト信号にて1本のクロックを選択し、昇圧回路に供給するクロックの周波数を可変にすることができる例を示している。

【0021】ここで、図4を用いて本実施例の昇圧回路とHVccコンデンサと負荷回路間の電流の流れを説明する。図4は図1のチャージポンプ方式昇圧回路を簡単化した図であり、クロックの変化でスイッチ: SW1～SW4が切り替わることを表わしている。たとえば昇圧クロックがHighレベルのときは各スイッチはA側に、LowレベルのときはB側に切り替わる。コンデンサ: C1、C2はHVccコンデンサC3に比べて十分容量が小さい。また、負荷回路に流れる負荷電流 $I_{\text{out}}$ は一定であるとする。まず、各スイッチB側のときは、C1は両端にVcc-接地間の電位差が生じVccレベルの電位がチャージされる。次にスイッチがA側に替わるとVcc-C1-C3-接地のパスができて、C3はC1より十分大きいので、C1の電荷はC3に移される。この動作が繰り返されて、C1とC2から交互に電流 $I_{\text{in}}$ を供給する。このとき1回のクロック変化が供給される電流の量はC1及びC2の大きさによって決まっており、一定時間内の電流はクロックの変化回数、つまり周波数に依存することになる。

【0022】図5は昇圧クロックの周波数と昇圧電圧の関係を示す。まず、期間1は負荷電流 $I_{\text{out}}$ と昇圧回路の供給電流 $I_{\text{in}}$ が等しい場合で、昇圧電圧は一定に

6

保たれている状態である。このときを平衡状態とする。次に期間2は平衡状態のクロック周波数よりも遅い周波数のクロックで昇圧を行っているので、電流を供給する回数が少なくなり、昇圧電圧は下降状態となる。さらに、期間4は平衡状態のクロック周波数よりも速い周波数で昇圧を行っており、電流を供給する回数が多くなるため昇圧電圧は上昇する。そして、目的の電圧に達したら、期間3や期間5のように平衡状態を保つことのできるクロック周波数に戻すことによって、また一定の昇圧電圧を維持することができる。

【0023】(実施例2) 図6は本発明の第2の実施例である。実施例1のチャージポンプ方式昇圧回路1と、同じく実施例1のセクタ2の組み合わせからなる。周波数の違う複数のクロックをセクタで受けて、セレクト信号にて1本のクロックを選択し、昇圧回路に供給するクロックの周波数を可変にするものである。別に分周回路を内蔵しているマイクロコンピュータなどは、分周後の信号を直接受ければ良いわけである。

【0024】(実施例3) 図7は本発明の第3の実施例である。実施例1のチャージポンプ方式昇圧回路1、およびセクタ2、クロック分周回路3、HVcc電圧を検出する検出回路7と、その検出回路からの信号を受けてクロック周波数の選択をコントロールするコントロール回路8の組み合わせからなる。

【0025】検出回路は基準電圧をHVccの精度に応じて複数用意しておき、選択された基準電圧とHVccを比較してその大小関係の信号をコントロール回路に送る。コントロール回路は大小関係の信号を受けて、たとえば小さかったなら周波数を1ランク上げるようなセレクト信号を出す。

【0026】あるいは、HVcc検出回路7は、昇圧電圧HVccを検出し、基準電圧と比較して、検出されたHVccと基準電圧との差に応じた信号をコントロール回路8へ出力する。コントローラ回路は、この信号に基づいて、検出されたHVccと基準電圧との差の大きさに応じたクロック周波数を選択するための指令すなわちセレクト信号をセクタ2へ出力する。

【0027】なお、HVccの基準電圧は、HVcc検出回路7自身が複数個持ち、マイコンなどのシステムの要求や動作モードなどに応じてコントロール回路8の指令により、複数の基準電圧から選択されたり、コントロール回路8から基準電圧値がHVcc検出回路7に与えられる。なお、HVcc検出回路や、検出されたHVccと基準電圧とを比較するための回路または手段は、コントロール回路8に含まれても良い。

【0028】本実施例によれば、比較的簡単な回路により、負荷電流が変化して昇圧電圧HVccが変動する場合にHVccを所望の値に安定化できる。また、検出されるHVccと基準電圧との差に応じてクロック周波数が選択できるので、過剰な昇圧動作が抑制され消費電流が低減

(5)

7

される。本実施例は、後述する液晶表示装置用電源回路（LCD電源回路）のように、負荷電流の変動が比較的大きなシステムに好適である。

【0029】なお、本実施例の検出回路は、図6の実施例にも適用できる。また、本実施例の変形例として、H Vcc検出回路に替えて負荷電流検出回路を設けても良い。負荷電流検出回路は負荷電流を検出し、その大きさに応じた信号、あるいは検出された負荷電流と基準電流との大小や差の大きさに応じた信号をコントローラ回路に出力する。この信号に応じて、コントローラ回路はクロック周波数を選択するためのセレクト信号をセクタへ出力する。

【0030】（実施例4）図8は本発明の第4の実施例である。実施例2のチャージポンプ方式昇圧回路1とセクタ2を組み合わせた昇圧回路システム10を独立に3回路設けて、それぞれの出力をLCD電源V1からV3とした。ここで、V1～V3は、図示されていないLCD駆動回路に供給される。さらにクロック分周回路3とHVcc検出回路7、そしてLCD（液晶表示装置）コントローラ回路9の組み合わせからなるLCD電源回路に

応用した例である。

【0031】まず、LCDコントローラはLCD電源の切り替え信号を昇圧クロックのセレクト信号として出力する。その出力V1からV3の電圧を検出回路で検出し、大小関係の信号をLCDコントローラに戻すという構成である。

【0032】

【発明の効果】本発明によれば、昇圧回路が供給する電流と昇圧電圧を電源とする負荷回路が消費する電流を等しくすることにより一定の昇圧電圧を保つため、過剰な

8

昇圧動作が行われることがない。また、回路に電源から接地への直流パスが存在しないことにより昇圧回路の消費電流を最小にすることができる。また、昇圧クロックの周波数も最小に押えているため、不要なスイッチングノイズの発生を低減できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第1の実施例のクロック分周回路の一実施例を示したものである。

【図3】本発明の第1の実施例のセクタの一実施例を示したものである。

【図4】本発明の第1の実施例の供給電流、安定化コンデンサ、負荷電流の関係を説明した図である。

【図5】本発明の第1の実施例の昇圧クロックと昇圧電圧の関係を示した図である。

【図6】本発明の第2の実施例を示す回路図である。

【図7】本発明の第3の実施例を示す回路図である。

【図8】本発明の第4の実施例を示す回路図である。

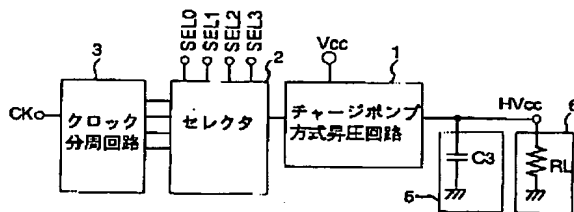
【図9】チャージポンプ方式昇圧回路の従来例を示す回路図である。

【符号の説明】

1…チャージポンプ方式昇圧回路、2…セクタ、3…クロック分周回路、4…デコーダ、5…昇圧電圧安定化コンデンサ、6…負荷回路等価回路、7…HVcc検出回路、8…コントロール回路、9…LCDコントローラ回路、10…昇圧回路システム（図6）、Vcc…電源電圧、HVcc…昇圧電源、CK…昇圧クロック、C…コンデンサ、RL…抵抗、F.F…フリップフロップ、SW…スイッチ、I<sub>in</sub>…供給電流、I<sub>out</sub>…負荷電流、V1、V2、V3：LCD電源。

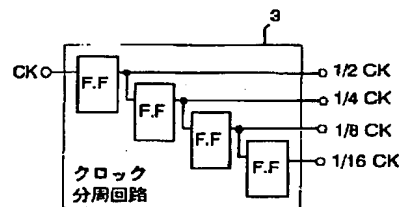
【図1】

図 1



【図2】

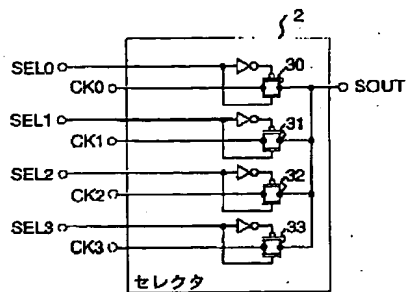
図 2



(6)

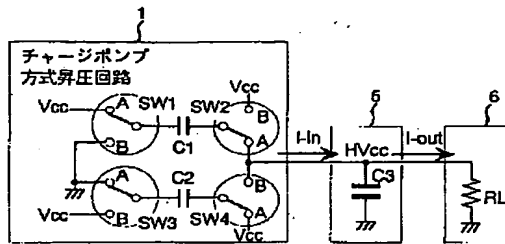
【図3】

図 3



【図4】

図 4

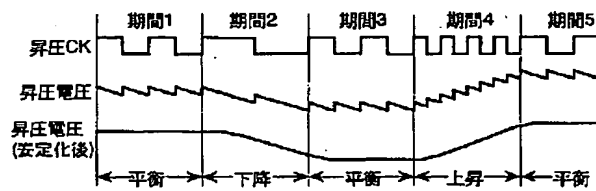


【図6】

図 6

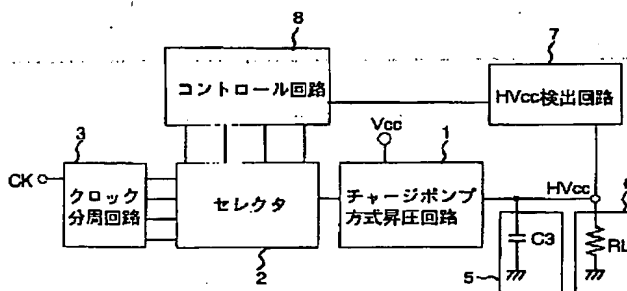
【図5】

図 5



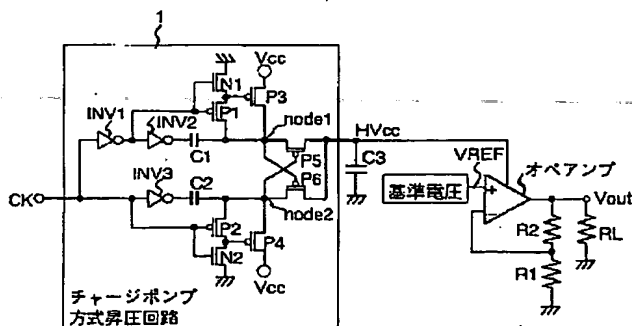
【図7】

図 7



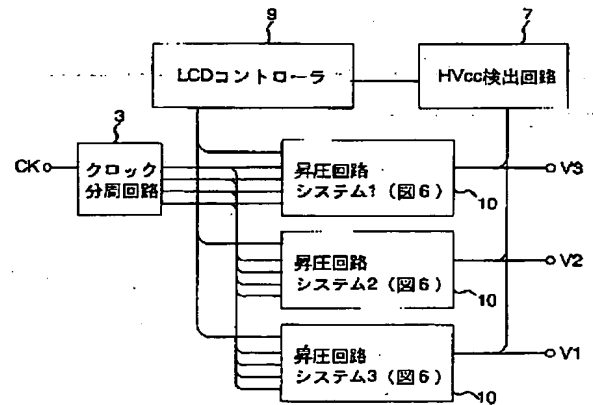
【図9】

図 9



【図8】

図 8



(7)

フロントページの続き

(72)発明者 菅井 賢

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

Fターム(参考) 5H730 AA14 AA16 AS04 BB02 BB82  
DD04 FD01 FG01 FG08